

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077621

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 10-247589

(71)Applicant : NEC CORP

(22)Date of filing : 01.09.1998

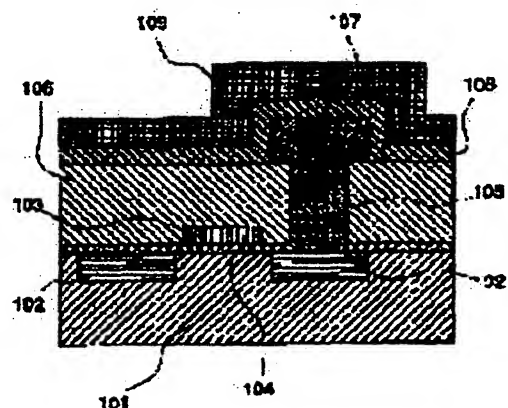
(72)Inventor : YAMAMICHI SHINTARO

(54) SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device in which increase in a leak current of a thin film capacitor using a high dielectric constant film is restricted and a threshold voltage of a transistor is controlled to a desirable value, and its manufacturing method.

SOLUTION: In this semiconductor memory device, transistors and thin film capacitors in which any or all of capacitor insulation films are composed of a high dielectric constant film or a ferroelectric film 108 are integrated on a semiconductor substrate 101, and an interface between the semiconductor substrate and a gate insulation film 104 of the transistors contains heavy hydrogen at a greater ratio than that of the heavy hydrogen existing in the natural world to hydrogen.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-77621
(P2000-77621A)

(43)公開日 平成12年3月14日(2000.3.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1 5 F 0 8 3
21/8242			

審査請求 有 請求項の数9 O L (全 9 頁)

(21)出願番号 特願平10-247589

(22)出願日 平成10年9月1日(1998.9.1)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山道 新太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100108578

弁理士 高橋 昭男 (外3名)

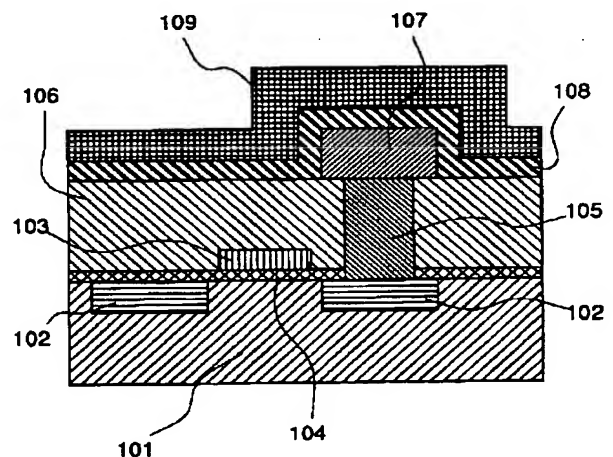
Fターム(参考) 5F083 AD42 GA06 JA13 JA14 JA35
JA40 JA43

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】 高誘電率膜を用いた薄膜キャパシタのリーク電流の増加が抑制され、トランジスタの閾値電圧を所望の値に制御された半導体記憶装置およびその製造方法を提供することである。

【解決手段】 半導体基板上に、トランジスタと、容量絶縁膜の一部あるいは全部が高誘電率膜あるいは強誘電体膜から成る薄膜キャパシタが集積化された半導体記憶装置において、該半導体基板と該トランジスタのゲート絶縁膜との界面に自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有することを特徴とする。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、トランジスタと、容量絶縁膜の一部あるいは全部が高誘電率膜あるいは強誘電体膜から成る薄膜キャパシタが集積化された半導体記憶装置において、前記半導体基板と前記トランジスタのゲート絶縁膜との界面に自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有することを特徴とする半導体記憶装置。

【請求項2】 半導体基板上に、トランジスタと、容量絶縁膜の一部あるいは全部が高誘電率膜あるいは強誘電体膜から成る薄膜キャパシタが集積化された半導体記憶装置において、前記半導体基板と前記トランジスタのゲート絶縁膜との界面に重水素を含有し、かつ水素を含有しないことを特徴とする半導体記憶装置。

【請求項3】 前記薄膜キャパシタの容量絶縁膜の一部あるいは全部が、化学式が ABO_3 で表されそれぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上の元素、BとしてZr、Ti、Ta、Nb、Mg、Mn、Fe、Zn、Wのうち少なくとも1種以上の元素を含むもの、あるいは、化学式が $(Bi_2O_2)(A_{m-1}B_m(O_3)_{m+1})$ ($m=1,2,3,4,5$) で表されそれぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上の元素、BとしてNb、Ta、Ti、Wの少なくとも1種以上の元素を含むもの、あるいは、 Ta_2O_5 からなることを特徴とする請求項1または請求項2に記載の半導体記憶装置。

【請求項4】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャパシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有する雰囲気下で熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項5】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャパシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項6】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャ

2

パシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有する雰囲気下で熱処理を施した後、酸素雰囲気下で熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項7】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャパシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施した後、酸素雰囲気下で熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項8】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャパシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施した後、窒素または不活性ガスまたはそれらの混合ガスの雰囲気下で熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項9】 半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電気的に分離する工程と、該トランジスタと該薄膜キャパシタを電気的に接続する工程を含む半導体記憶装置の製造方法において、ゲート絶縁膜を形成した後に重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施した後、窒素または不活性ガスまたはそれらの混合ガスの雰囲気下で熱処理を施す工程を含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタと薄膜キャパシタが半導体基板上に集積化された半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来よりダイナミックランダムアクセスメモリ(Dynamic Random Access Memories (DRAM))に代表される半導体集積回路の薄膜キャパシタは、ポリシリコンを上下電極とするシリコン酸化膜およびシリコン窒化膜の積層構造が主流であった。しかし近年のメモリセル面積の微細化に伴う容量部の面積縮小のために1GbDRA

3

M以降の要求される容量密度を達成するためにはシリコン酸化膜換算で1nm以下という極めて薄い膜厚が必要となる。そこで室温で300近い誘電率を有するSrTiO₃やさらに大きな誘電率を有する(Ba,Sr)TiO₃に代表される高誘電率膜を容量絶縁膜として用い、下部電極としてシリコンの拡散を抑制し高誘電率膜の堆積中の酸化雰囲気でも低誘電率酸化物層を形成しないPt/TaやRuO₂/TiNなどのバリアメタル膜を用いることによって、要求される高い容量密度を実現する方法が、例えば1994年インターナショナルエレクトロニクスデバイセズミーティングテクニカルダイジェスト(1994 International Electron Devices Meeting Technical Digest)831~834頁に示されている。また(Ba,Sr)TiO₃の代わりに室温で強誘電性を有するPb(Zr,Ti)O₃などの強誘電体膜を用いれば、不揮発性動作が可能なメモリ(Ferroelectric RAM)を作成することができることも多数報告されている。一方、従来のDRAMの製造工程においては、配線工程の最後に水素雰囲気下で熱処理を行いトランジスタのゲート酸化膜とシリコン基板との界面に存在するシリコンの未結合手を水素原子で終端している。このためトランジスタの閾値電圧を所望の値に制御でき、サブスレッシュホールドリーク電流も低減している。またこの水素原子の代わりに重水素原子を用いることで閾値電圧のより良好な制御が可能であることが、特表平8-507175に示されている。しかしながら、(Ba,Sr)TiO₃に代表される高誘電率膜やPb(Zr,Ti)O₃に代表される強誘電体膜は、水素雰囲気下で熱処理を行うと水素の還元作用により膜中の酸素が乖離して結晶性が低下し、リーク電流が増大したり強誘電性が消失したりするという問題が存在する。例えば、Tung-Sheng Chen他の1994年インターナショナルエレクトロニクスデバイセズミーティングテクニカルダイジェスト(1996 International Electron Devices Meeting Technical Digest)679-682頁に記載されているように、水素中、400℃、30分の熱処理を行うことによってBSTキャパシタのリーク電流が+1Vにおいて2桁以上も増加することが示されている。さらに同引用文献には水素処理後に窒素中、550℃、1時間の回復熱処理を行っても水素処理を行う前の特性には回復しないことも示されている。

【0003】

【発明が解決しようとする課題】以上説明したように、従来の半導体記憶装置ではトランジスタの閾値制御を目的とした水素雰囲気中の熱処理によって高誘電率膜あるいは強誘電体膜のリーク電流が増加し、その結果、メモリセルに蓄えられた電荷が時間的に減少し半導体記憶装置の動作不良を引き起こしてしまうという課題があった。

【0004】本発明は、上述した事情に鑑みてなされたもので、トランジスタと、高誘電率膜や強誘電体膜を容量絶縁膜の一部あるいは全部に用いた薄膜キャパシタから成る半導体記憶装置において、トランジスタの閾値電

4

圧を所望の値に保持しながら、薄膜キャパシタのリーク電流の増加を抑制したり、良好な強誘電性を保持することが可能な半導体記憶装置およびその製造方法を提供する事を目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するための本発明は、以下の構成を採用した。請求項1に記載の半導体記憶装置は、半導体基板上に、トランジスタと、容量絶縁膜の一部あるいは全部が高誘電率膜あるいは強誘電体膜から成る薄膜キャパシタが集積化された半導体記憶装置において、前記半導体基板と前記トランジスタのゲート絶縁膜との界面に自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有することを特徴とする。請求項2に記載の半導体記憶装置は、半導体基板上に、トランジスタと、容量絶縁膜の一部あるいは全部が高誘電率膜あるいは強誘電体膜から成る薄膜キャパシタが集積化された半導体記憶装置において、前記半導体基板と前記トランジスタのゲート絶縁膜との界面に重水素を含有し、かつ水素を含有しないことを特徴とする。請求項3に記載の半導体記憶装置は、請求項1または請求項2に記載の半導体記憶装置において、前記薄膜キャパシタの容量絶縁膜の一部あるいは全部が、化学式がABO₃で表されそれぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上、BとしてZr、Ti、Ta、Nb、Mg、Mn、Fe、Zn、Wのうち少なくとも1種以上を含むもの、あるいは、化学式が(Bi₂O₂)(A_{m-1}B_m(O₃)_{m+1})(m=1,2,3,4,5)で表されそれぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上、BとしてNb、Ta、Ti、Wの少なくとも1種以上を含むもの、あるいは、Ta₂O₅からなることを特徴とする。請求項4に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有する雰囲気下で熱処理を施す工程を含むことを特徴とする。請求項5に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施す工程を含むことを特徴とする。請求項6に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一

5

部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有する雰囲気下で熱処理を施した後、酸素雰囲気下で熱処理を施す工程を含むことを特徴とする。請求項 7 に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施した後、酸素雰囲気下で熱処理を施す工程を含むことを特徴とする。請求項 8 に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、自然界に存在する重水素と水素の比率よりも大きな比率で重水素を含有する雰囲気下で熱処理を施した後、窒素または不活性ガスまたはそれらの混合ガスの雰囲気下で熱処理を施す工程を含むことを特徴とする。請求項 9 に記載の半導体記憶装置は、半導体基板上の所望の位置に、トランジスタを形成する工程と、高誘電率膜あるいは強誘電体膜を容量絶縁膜の一部あるいは全部とする薄膜キャパシタを形成する工程と、該トランジスタと該薄膜キャパシタを電氣的に分離する工程と、該トランジスタと該薄膜キャパシタを電氣的に接続する工程を含む半導体記憶装置の製造方法において、重水素を含有し、かつ水素を含有しない雰囲気において熱処理を施した後、窒素または不活性ガスまたはそれらの混合ガスの雰囲気下で熱処理を施す工程を含むことを特徴とする。

【0006】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は、本発明の第 1 の実施の形態の構成を説明するための半導体記憶装置の断面図である。101 はシリコン基板、102 はヒ素を注入したシリコンから成るトランジスタのソース部とドレイン部、103 はヒ素を注入したポリシリコンから成るトランジスタのゲート部、104 は SiO₂ 膜から成るトランジスタのゲート絶縁膜、105 はリンをドーピングしたポリシリコンから成る容量コンタクト部、106 は主に SiO₂ 膜から成る層間絶縁膜、107 は Ru/TiN/TiSi_x 膜から成る下部電極膜、108 は高誘電率 (Ba, Sr)TiO₃ 膜から成る容量絶縁

6

膜、109 は Ru から成る上部電極膜である。従来の構造では、ゲート絶縁膜 104 とシリコン基板 101 との界面のシリコン原子の未結合手には主に水素原子が結合しており、重水素原子とは自然界に存在する割合である 0.015% しか結合していない。このような構造では、トランジスタの閾値電圧は所望の値に制御されているものの、図 2 に示すように高誘電率 (Ba, Sr)TiO₃ 膜のリーク特性は悪く、半導体記憶装置としての動作は不可能であった。一方、本発明の半導体記憶装置においては、ゲート絶縁膜 104 とシリコン基板 101 との界面のシリコン原子の未結合手には主に重水素原子が結合しており、図 2 に示すように高誘電率 (Ba, Sr)TiO₃ 膜のリーク特性も良好で、十分な電荷の保持特性を有する半導体記憶装置として動作した。またトランジスタの閾値電圧も所望の値が得られた。

【0007】図 3 は本発明の第 2 の実施の形態の構成を説明するための半導体記憶装置の断面図である。101 はシリコン基板、102 はヒ素を注入したシリコンから成るトランジスタのソース部とドレイン部、103 はヒ素を注入したポリシリコンから成るトランジスタのゲート部、104 は SiO₂ 膜から成るトランジスタのゲート絶縁膜、106 は主に SiO₂ 膜から成る層間絶縁膜、107 は Ir/IrO₂ 膜から成る下部電極膜、108 は強誘電体 Pb(Zr, Ti)O₃ 膜から成る容量絶縁膜、109 は Ir/IrO₂ 膜から成る上部電極膜、110 は主に SiO₂ 膜から成る第 2 の層間絶縁膜、111 は Al/TiN/Ti 膜から成る局所配線部である。従来の構造ではゲート絶縁膜 104 とシリコン基板 101 との界面のシリコン原子の未結合手には主に水素原子が結合しており、重水素原子は自然界に存在する割合である 0.015% しか含有されていない。このような構造ではトランジスタの閾値電圧は所望の値に制御されているものの、図 4 に示すように強誘電体 Pb(Zr, Ti)O₃ 膜のヒステリシス特性が消失し、半導体記憶装置の不揮発性動作が不可能であった。一方、本発明の半導体記憶装置においては、ゲート絶縁膜 104 とシリコン基板 101 との界面のシリコン原子の未結合手には主に重水素原子が結合しており、図 4 に示すように強誘電体 Pb(Zr, Ti)O₃ 膜のヒステリシス特性も良好で、電源を切断後も十分な電荷の保持特性を有する半導体記憶装置として動作した。またトランジスタの閾値電圧も所望の値が得られた。

【0008】図 5 は本発明の第 3 の実施の形態を説明するための半導体記憶装置の代表的な製造プロセスの工程の順序を示したものである。従来の技術ではトランジスタの閾値電圧を所望値に制御するためにカバー膜形成工程の直前に水素熱処理工程を施している。このためトランジスタの正常動作は保証されるものの、高誘電率膜のリーク特性は水素による還元作用に起因した結晶性の低下のため増大してしまう。一方、本発明の半導体記憶装置の製造方法は従来の技術の水素熱処理を重水素雰囲気中の熱処理に置き換え、さらにその工程の後に例えば酸

素中、600℃、1時間程度の回復熱処理工程を挿入し、しかる後にカバー膜形成工程へ移行している。ここで重水素原子は水素原子と比べてシリコン原子や酸素原子との結合エネルギーが大きいので、重水素熱処理後の回復熱処理によって離脱してしまうことはない。したがって本発明の製造方法を用いることによって、トランジスタのゲート絶縁膜とシリコン基板との界面に存在するシリコンの未結合手を重水素で終端しながら、高誘電率膜のリーク特性を重水素熱処理前の特性に回復させることができる。従来の技術では回復熱処理を行っても高誘電率膜のリーク特性が完全に元の状態には回復せず、また回復熱処理工程そのものによってシリコンの未結合手に結合していた水素原子が容易に離脱してしまい、トランジスタの閾値電圧が所望の値からずれてしまっていた。本発明の製造方法を用いることによって、図2に示すように、リーク特性の良好な高誘電率膜を用いた薄膜キャパシタと所望の閾値電圧を有するトランジスタとを同一基板上に集積化した半導体記憶装置を作製することができる。尚、回復熱処理工程を窒素あるいは不活性ガスを含む雰囲気中、例えば窒素中600℃、1時間などで行うことによって、半導体記憶装置の金属配線部の酸化を抑制しながら微小な結晶格子の乱れを回復することができるので、酸素中と同様リーク特性を改選できる。

【0009】図6は本発明の第4の実施の形態を説明するための半導体記憶装置の代表的な製造プロセスの工程の順序を示したものである。従来の技術ではトランジスタの閾値電圧を所望値に制御するためにカバー膜形成工程の直前に水素熱処理工程を施している。このためトランジスタの正常動作は保証されるものの、強誘電体膜のヒステリシス特性は水素による還元作用のため消失してしまう。一方、本発明の半導体記憶装置の製造方法は従来の技術の水素熱処理を重水素雰囲気中の熱処理に置き換え、さらにその工程の後に例えば酸素中、600℃、1時間程度の回復熱処理工程を挿入し、しかる後カバー膜形成工程へ移行している。ここで重水素原子は水素原子と比べてシリコン原子や酸素原子との結合エネルギーが大きいので、重水素熱処理後の回復熱処理によって離脱してしまうことはない。したがって本発明の製造方法を用いることによって、トランジスタのゲート絶縁膜とシリコン基板との界面に存在するシリコンの未結合手を重水素で終端しながら、強誘電体膜のヒステリシス特性を重水素熱処理前の特性に回復させることができる。従来の技術では回復熱処理を行っても強誘電体膜のヒステリシス特性が完全に元の状態には回復せず、また回復熱処理工程そのものによってシリコンの未結合手に結合していた水素原子が容易に離脱してしまい、トランジスタの閾値電圧が所望の値からずれてしまっていた。本発明の製造方法を用いることによって、図2に示すように、ヒステリシス特性の良好な強誘電体膜を用いた薄膜キャパシタと所望の閾値電圧を有するトランジスタとを同一基板上に集積化した半導体記憶装置を作製することができる。尚、回復熱処理工程を窒素あるいは不活性ガスを含む雰囲気中、例えば窒素中600℃、1時間などで行うことによって、半導体記憶装置の金属配線部の酸化を抑制しながら微小な結晶格子の乱れを回復することができるので、酸素中と同様リーク特性を改選できる。

上に集積化した半導体記憶装置を作製することができる。尚、回復熱処理工程を窒素あるいは不活性ガスを含む雰囲気中、例えば窒素中600℃、1時間などで行うことによって、半導体記憶装置の金属配線部の酸化を抑制しながら微小な結晶格子の乱れを回復することができるので、酸素中と同様ヒステリシス特性を改選できる。

【0010】ここで上記第1から第4の実施の形態の説明においては、高誘電率膜として(Ba,Sr)TiO₃の例を、強誘電体膜としてPb(Zr,Ti)O₃の例を述べたが、本発明は、化学式ABO₃で表され、それぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上、BとしてZr、Ti、Ta、Nb、Mg、Mn、Fe、Zn、Wのうち少なくとも1種以上を含むもの、例えば、SrTiO₃、PbTiO₃、(Pb,La)(Zr,Ti)O₃、Pb(Mg,Nb)O₃、Pb(Mg,W)O₃、Pb(Zn,Nb)O₃、LiTaO₃、LiNbO₃、KTaO₃、KNbO₃など、あるいは化学式(Bi₂O₂)(A_{m-1}B_mO_{3m+1})(m=1,2,3,4,5)で表され、それぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上、BとしてNb、Ta、Ti、Wの少なくとも1種以上を含むもの、例えば、Bi₄Ti₃O₁₂、SrBi₂Ta₂O₉、SrBi₂Nb₂O₉、あるいはそれ以外の化学式のTa₂O₅などを用いても同様の効果が得られる。

【0011】また上記第1から第4の実施の形態の説明においては、上部電極109や下部電極107の中で高誘電率膜や強誘電体膜に接する材料としてRuやIrやIrO₂の例を述べたが、高誘電率膜のリーク特性や強誘電体膜のヒステリシス特性を良好に保つものならなんでもよい。例えば、Ru、Re、Os、Ir、Rh、Wの金属、あるいはそれらの酸化物、シリサイド化合物の中から選ばれた少なくとも1種以上の材料、またはPt、Pd、Rhの中から選ばれた少なくとも1種以上の材料を用いても有効である。なかでもRuは容易に微細加工できる点が、IrやIrO₂は強誘電体膜の分極疲労特性の劣化を抑制できる点が優れている。

【0012】

【発明の効果】以上詳細に説明したように、本発明に係る半導体記憶装置によれば、以下のような効果を奏する。

【0013】本発明による半導体記憶装置の第1の効果は、トランジスタの閾値電圧を所望の値に保持しながら、高誘電率膜を用いた薄膜キャパシタの良好なリーク特性を得ることができることである。その理由は、トランジスタのゲート絶縁膜とシリコン基板との界面にあるシリコンの未結合手が重水素によって終端されていて、かつ高誘電率膜のリーク特性を良好なものに保持できる熱処理工程が十分に施されているためである。

【0014】第2の効果はトランジスタの閾値電圧を所望の値に保持しながら、強誘電体膜を用いた薄膜キャパシタの良好なヒステリシス特性を得ることができる点にある。その理由は、トランジスタのゲート絶縁膜とシリコン基板との界面にあるシリコンの未結合手が重水素によって終端されていて、かつ強誘電体膜のヒステリシス

9

特性を良好なものに保持できる熱処理工程が十分に施されているからである。

【0015】第3の効果は高誘電率膜や強誘電体膜を容量絶縁膜に用いた薄膜キャパシタの性能を十分引き出した上で、トランジスタの良好な長期信頼性が得られることにある。その理由は、トランジスタのゲート絶縁膜とシリコン基板との界面にあるシリコンの未結合手が重水素によって終端されているためホットキャリア耐性が高く、かつ高誘電率膜のリーク特性や強誘電体膜のヒステリシス特性を良好なものに保持できる熱処理工程が十分に施されているからである。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を説明するための半導体記憶装置の断面図である。

【図2】 従来の技術と本発明の第1の実施の形態による特性を比較した図である。

【図3】 本発明の第2の実施の形態を説明するための半導体記憶装置の断面図である。

10

*【図4】 従来の技術と本発明の第2の実施の形態による特性を比較した図である。

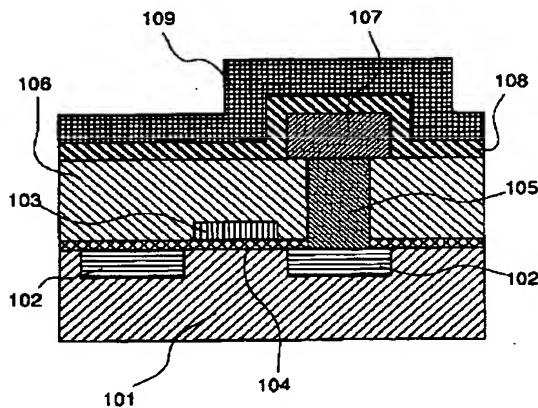
【図5】 本発明の第3の実施の形態を説明するための半導体記憶装置の製造方法の工程手順図である。

【図6】 本発明の第4の実施の形態を説明するための半導体記憶装置の製造方法の工程手順図である。

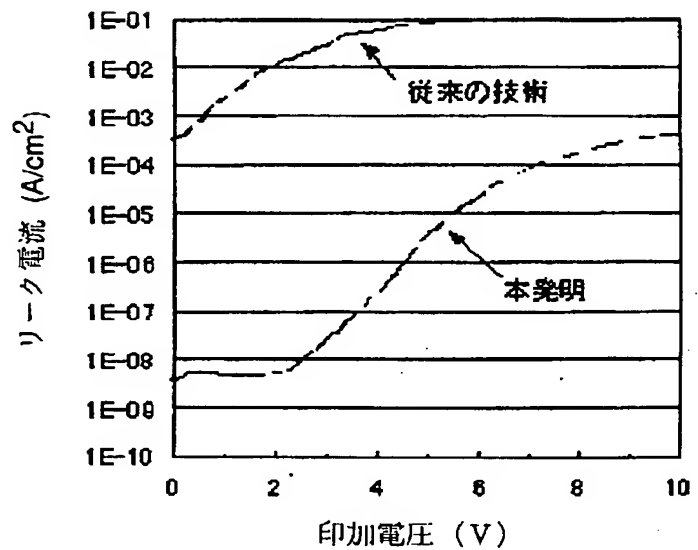
【符号の説明】

- 101 シリコン基板
- 102 ソースまたはドレイン領域
- 103 ゲート
- 104 ゲート絶縁膜
- 105 容量コンタクト
- 106 層間絶縁膜
- 107 下部電極
- 108 高誘電率膜または強誘電体膜（容量絶縁膜）
- 109 上部電極
- 110 第2の層間絶縁膜
- 111 局所配線

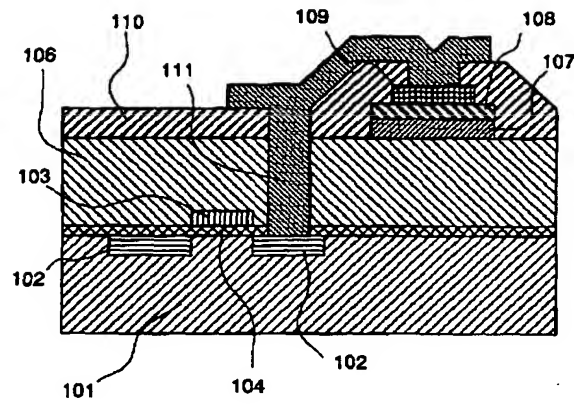
【図1】



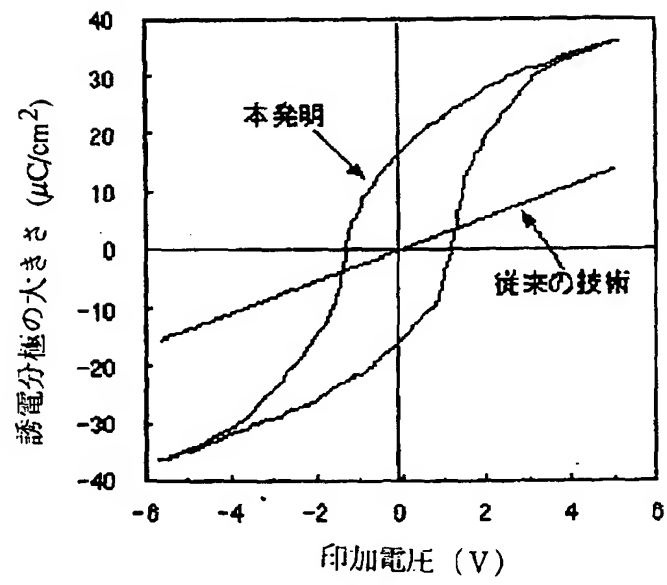
【図2】



【図3】

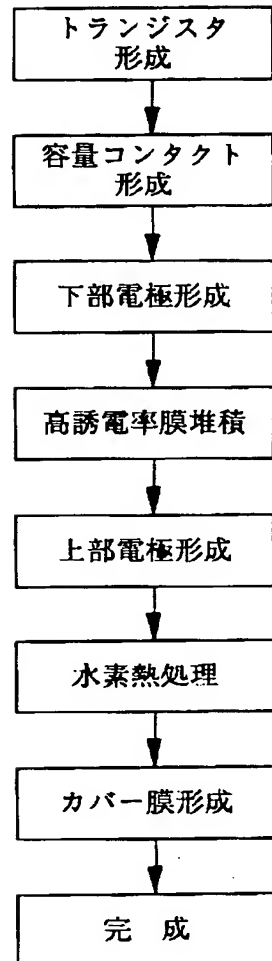


【図4】

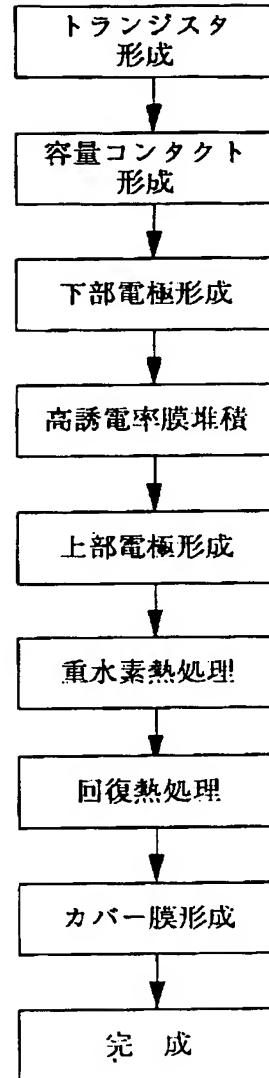


【図 5】

従来の技術



本発明



【図6】

